EXPERT

CIRCUITOS INTEGRADOS

Esta publicação contêm a descrição de funcionamento dos circuitos eletrônicos que compõem um dos módulos integrantes da linha EXPERT - MSX.

Recomendamos que a leitura seja realizada em conjunto com o diagrama esquemático do referido aparelho.

Com mais esta publicação pretendemos atingir todos os técnicos de nossos postos autorizados, fazendo chegar às suas mãos informações sempre atualizadas, de forma a facilitar e aprimorar cada vez mais a assistência dada aos produtos GRADIENTE.

Sem mais,

DIVISÃO NACIONAL DE SERVIÇOS

SETOR DE TREINAMENTO

ESPECIFICAÇÃO DOS CIRCUITOS INTEGRADOS

- Código = 74LSØ4
- Função = INVERSOR

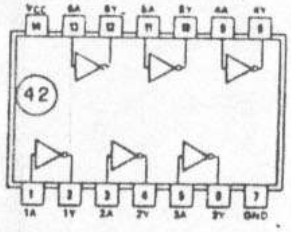


TABELA DA VERDADE DA FUNÇÃO " NOT "

A	Y
Ø	1
1	Ø

O circuito inversor é o bloco lógico que executa a função " NÃO ", tendo apenas uma entrada e uma saída para cada porta.
A função " NÃO " ou complementar também é conhecida como função " NOT " (termo derivado do inglês).
No esquema da CPU o código utilizado em cada porta é o número " 42 ", colocado dentro de cada porta.

- Código = 74LS14
- Função = INVERSOR (SCHMITT-TRIGGER)

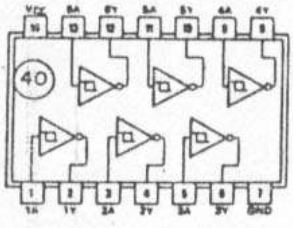


TABELA DA VERDADE DA FUNÇÃO " NOT "

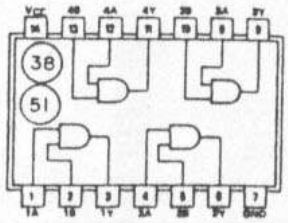
A	Y
Ø	1
1	Ø

O Schmitt-Trigger (em português: disparador de schmitt) opera como um amplificador regenerativo, para fornecer uma onda quadrada na saída, partindo de uma onda senoidal ou

triangular. Quando a voltagem de entrada excede um determinado nível (este nível pode ser escolhido partindo-se de elementos pré-determinados), a entrada do operacional torna-se " ON " e a saída vai para " OFF ".
Quando não há sinal na entrada do schmitt-trigger, a entrada está em " OFF " igual a " Ø " e a saída em " ON " igual a nível lógico " 1 ".

- Código = 74LSØ8
- Função = PORTA " AND " (SAÍDA " TOTEM POLE ")

TABELA DA VERDADE DA FUNÇÃO " AND "



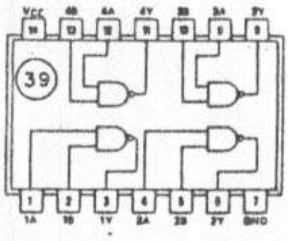
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

A operação AND é produzida por um dispositivo que tem duas ou mais entradas e apenas uma saída. Quando as duas entradas tiverem nível lógico " 1 " a sua saída também será " 1 " porém quando uma das entradas estiver em nível lógico " 0 " a saída também será " 0 "; conforme pode ser observado na tabela da verdade da função " AND ".
A porta " AND " (Saída " TOTEM POLE ") são as convencionais.

- Código = 74LSØØ
- Função = PORTA " NAND "

(vide tabela a seguir)

TABELA DA VERDADE
DA FUNÇÃO " NAND "

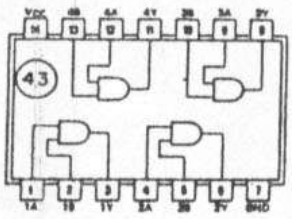


A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

A porta " NAND " tem na sua saída um bloco " NOT " ou seja , inversor; sendo assim, quando as duas portas estiverem em nível lógico " 1 " a saída estará em " 0 " e quando uma das portas estiver em " 0 " a saída será de nível lógico " 1 ".

- Código = 74LSØ9
- Função = PORTA " AND " (SAÍDA COLETOR ABERTO)

TABELA DA VERDADE
DA FUNÇÃO " AND "



A	B	Y
0	0	0
0	1	0
1	0	0
1	1	*

Y = (*) Alta impedância de saída (Tri-State)
Y = (0) Baixa impedância de saída

O circuito de portas lógicas " AND " (saída coletor aberto) tem duas ou mais entradas, e apenas uma saída. Quando as entradas estiverem com nível lógico " 1 ", a saída estará em " TRI-STATE ", ou seja, em alta impedância, porém sem tensão

de saída.

No caso de uma das entradas estar em " 0 " teremos a saída em " 0 ", isto que dizer, teremos a saída referenciada para massa.

- Código = 74LS32
- Função = PORTA " OR "

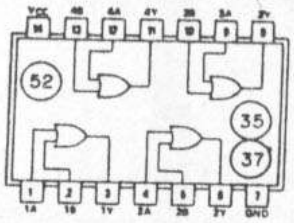


TABELA DA VERDADE DA FUNÇÃO " OR "

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

As portas " OR " podem ter duas ou mais entradas, porém uma única saída.

Como podemos observar na tabela acima, quando as duas entradas estiverem em " 0 " a saída será " 0 ", e no caso de uma das entradas estar em " 1 " a saída será " 1 ".

- Código = 74LSØ2
- Função = PORTA " NOR "

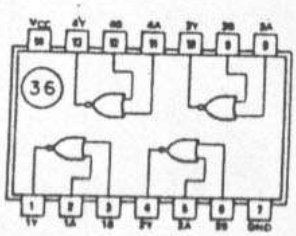
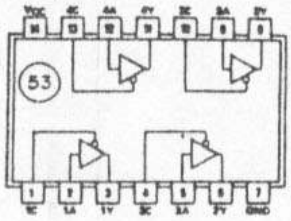


TABELA DA VERDADE DA FUNÇÃO " NOR "

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

A porta " NOR " é a composição da porta " OR " mais um inversor; sendo assim, quando as duas entradas estiverem em " 0 " a saída será " 1 ", e quando uma das portas estiver em " 1 " a saída será " 0 ".

- Código = 74LS125
- Função = BUS-BUFFER " TRI-STATE "



TÁBUA DE FUNCIONAMENTO

ENTRADAS		SAÍDAS
C	A	Y
0	0	0
0	1	1
1	X	(Z)

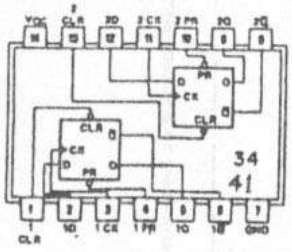
X = Irrelevante (" 0 ou 1 ")
Z = Alta impedância

Cada bloco que é apresentado no 74LS125, apresenta três estados de saída (TRI-STATE): estado " 0 ", estado " 1 " e o terceiro será um nível de alta impedância de saída.
Esse bloco possui uma entrada (C) que irá determinar se o bloco executa a função ou se permanece em alta impedância.
Isso nos permite ligar mais de uma saída em uma mesma linha.
O conceito de três estados pode ser entendido como uma chave ligada em série com a saída; quando permanece ligada, o circuito apresenta na saída a função e quando desligada implica que a saída deve assumir uma alta impedância.

- Código = 74LS74
- Função = DUPLO FLIP-FLOP - TIPO " D "

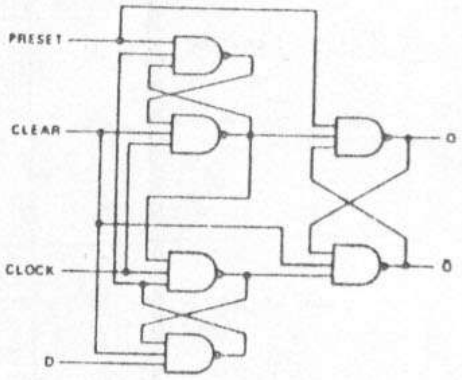
O flip-flop tipo D trata-se de um circuito que possui uma entrada de dados (D), duas saídas (Q e $\overline{Q}$) e três entradas'

de comandos CK, PR e CLR (CLOCK, PRESET e CLEAR).
Sempre que tivermos um pulso de CLOCK, a saída Q assume o valor que havia na entrada D antes do clock, porém o "PR e CLR" precisa estar em nível lógico " 1 " para que aconteça o chaveamento.
As demais conclusões poderemos tirar pela tabela abaixo.



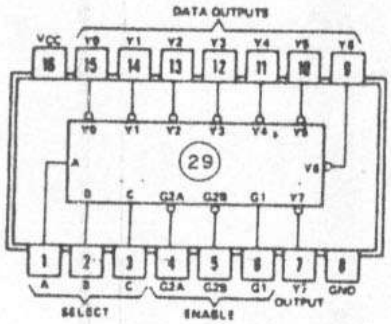
FUNCTION TABLE

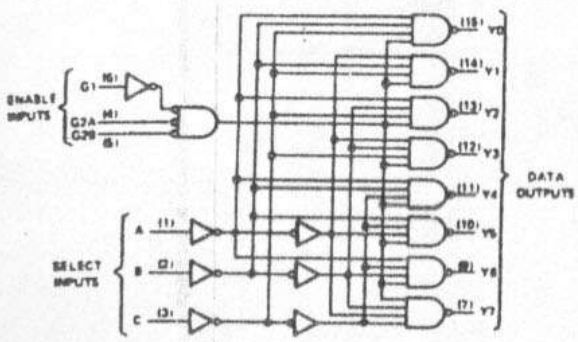
INPUTS				OUTPUTS	
PRESET	CLEAR	CLOCK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H*	H*
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$



X = Irrelevante (" 0 " ou " 1 ")
↑ = Transição de " 0 " para " 1 "
H* = Permanecerá em " 1 " durante o tempo em que " PR e CLR" estiverem em nível lógico " 0 ".

- Código = 74LS138
- Função = DECODIFICADOR/MULTIPLEXADOR DE LINHA 3-PARA-8





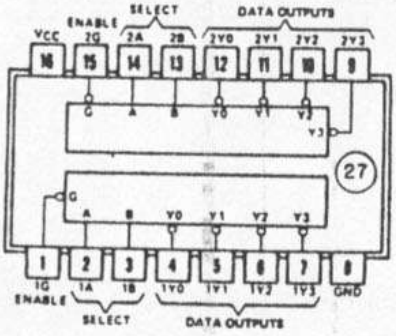
Este decodificador é um circuito TTL-MSI para ser usado em conjunto com memórias de alta velocidade.
O decodificador depende das 03 " INPUTS-SELECT " binárias que são aplicadas aos dois filtros' " ACTIVE-LOW " e ao estágio de portas " NAND ".
Um filtro ACTIVE-HIGHT recebe três " INPUTS-ENABLE " e comanda o estágio de portas NAND.

INPUTS				OUTPUTS							
ENABLE		SELECT									
G1	G2*	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

*G2 = G2A + G2B
H = high level, L = low level, X = irrelevant

Uma das entradas de INPUT-ENABLE recebe informação de entrada de dados para ser feito a demultiplexação das linhas.
As saídas são fornecidas por oito terminais de Y0 a Y7 de acordo com a tabela de função do próprio LS138.

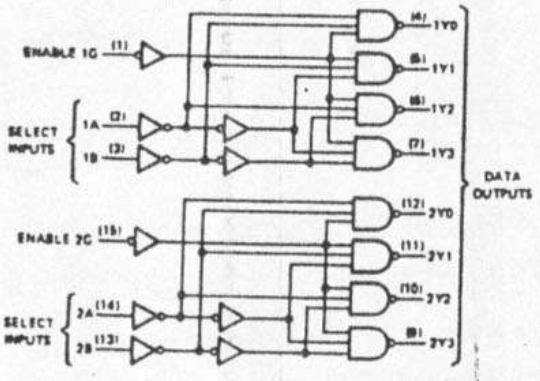
- Código = 74LS139
- Função = DUPLO DECODIFICADOR DE 2 PARA 4 LINHAS



FUNCTION TABLE

INPUTS			OUTPUTS			
ENABLE	SELECT					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = high level, L = low level, X = irrelevant

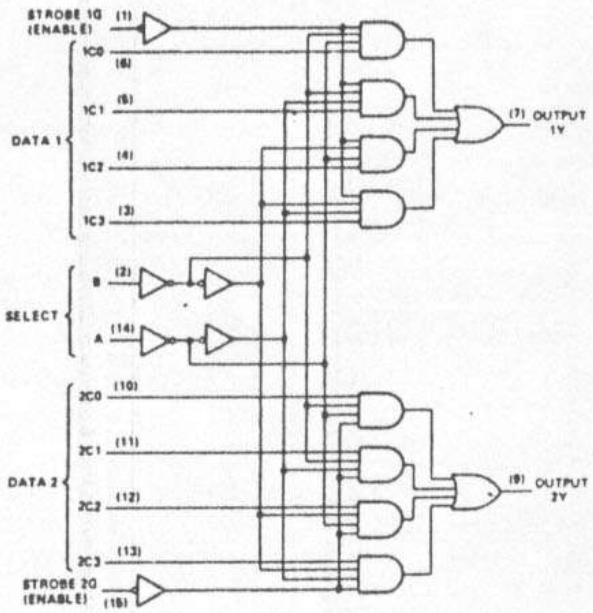


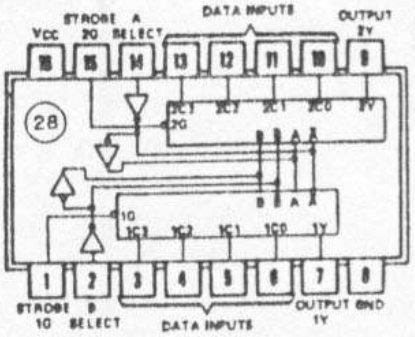
Este decodificador tem os mesmos princípios do 74LS138, já descrito, porém este contém dois demoduladores individuais, de duas para quatro linhas de saída, encapsulado em um mesmo circuito integrado.

- Código = 74LS153
- Função = DUPLO SELETOR/MULTIPLEXADOR DE DADOS DE LINHA 4 PARA 1.

O seletor de dados multiplexers é composto de duas etapas de saída (1Y e 2Y).
A entrada " DATA 1 " é composta de quatro linhas, assim como também a " DATA 2 ".
A seleção de linha para saída é efetuada pela select (A e B) e o " STROBE (ENABLE) " libera a multiplexação das linhas'

de entrada para saída.



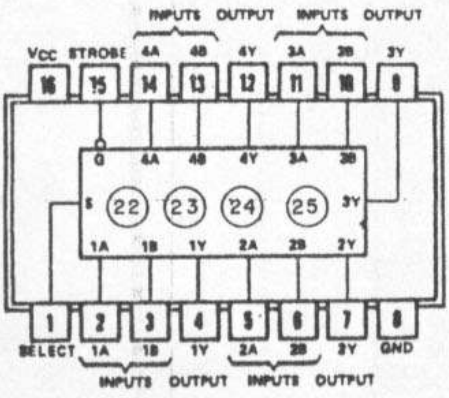


FUNCTION TABLE

SELECT INPUTS		DATA INPUTS				STROBE	OUTPUT
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

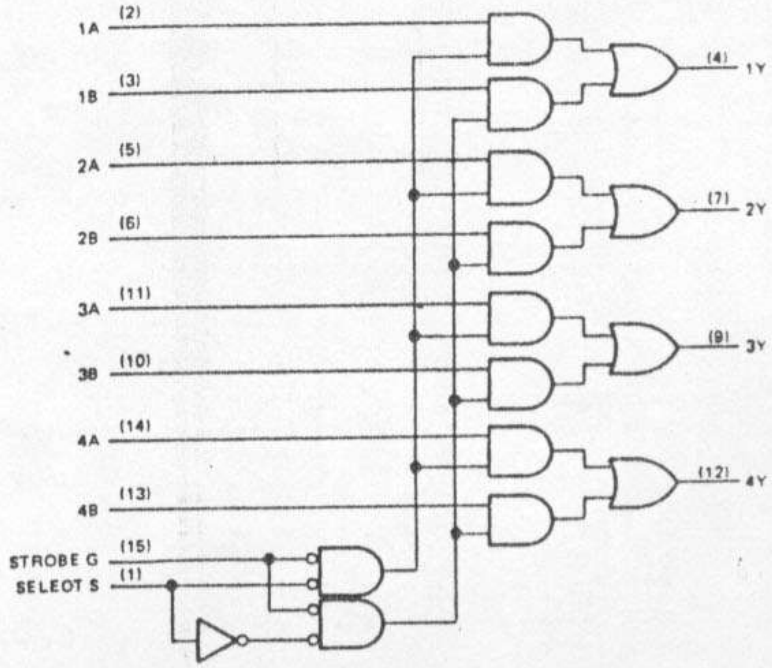
- Código = 74LS157
- Função = QUATRO SELETORES/MULTIPLEXADORES DE DADOS DE LINHA 2-PARA-1

O 74LS157 é um seletor de dados, com os mesmos princípios descritos no 74LS153, porém ele é constituido por quatro blocos contendo duas entradas (A e B) e com uma saída (Y) para cada bloco.



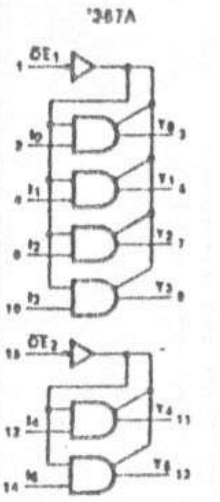
FUNCTION TABLE

INPUTS				OUT
STROBE	SELECT	A	B	'157, 'L157, 'LS157, 'S157
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H



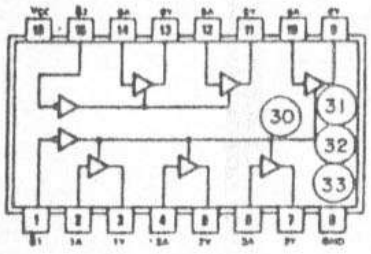
A seleção da Multiplexação é efetuada pelo chaveamento da entrada " SELECT " e a entrada " STROBE " libera o comando de multiplexação entre entrada e saída.

- Código = 74LS367
- Função = SEIS DRIVERS DE BARRAS



FUNCTION TABLE, '367A,

INPUTS		OUT
$\overline{OE}$	I	Y
L	L	L
L	H	H
H	X	(Z)

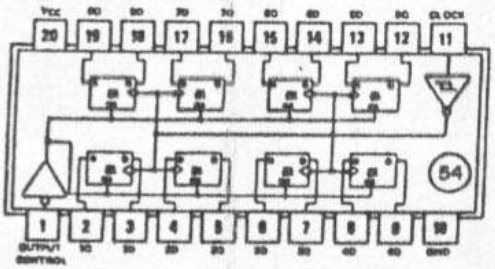


Os DRIVERS DE BARRAS não invertem o sinal de saída e estão divididos em dois grupos, sendo um com quatro linhas de entrada e saída e outro com duas de entrada e saída. As saídas estão ligadas ao sistema tri-states, comandadas pelas entradas $\overline{G1}$ e $\overline{G2}$

- Código = 74LS374
- Função = OITO " FLIP-FLOP " TIPO D, COM SAÍDA TRI-STATES

FUNCTION TABLE

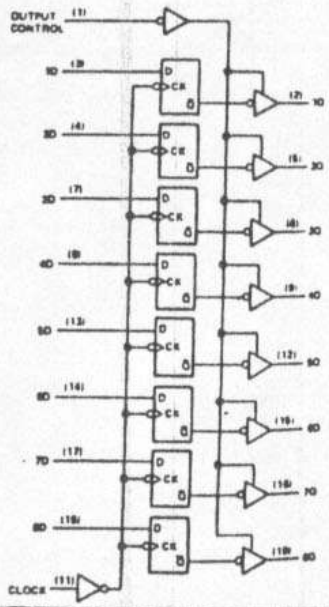
OUTPUT CONTROL	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z



Os oito FLIP-FLOP são do tipo D, com o clock em transição positiva, que coloca a entrada " D " na saída dos BUFFERS (Tri-State).

Um BUFFER " Schmitt-trigger " é colocado na entrada de CLOCK , com a finalidade de rejeitar os ruídos nessa linha de chaveamento e determinar níveis perfeitos de " 0 " ou " 1 " para o CLOCK.

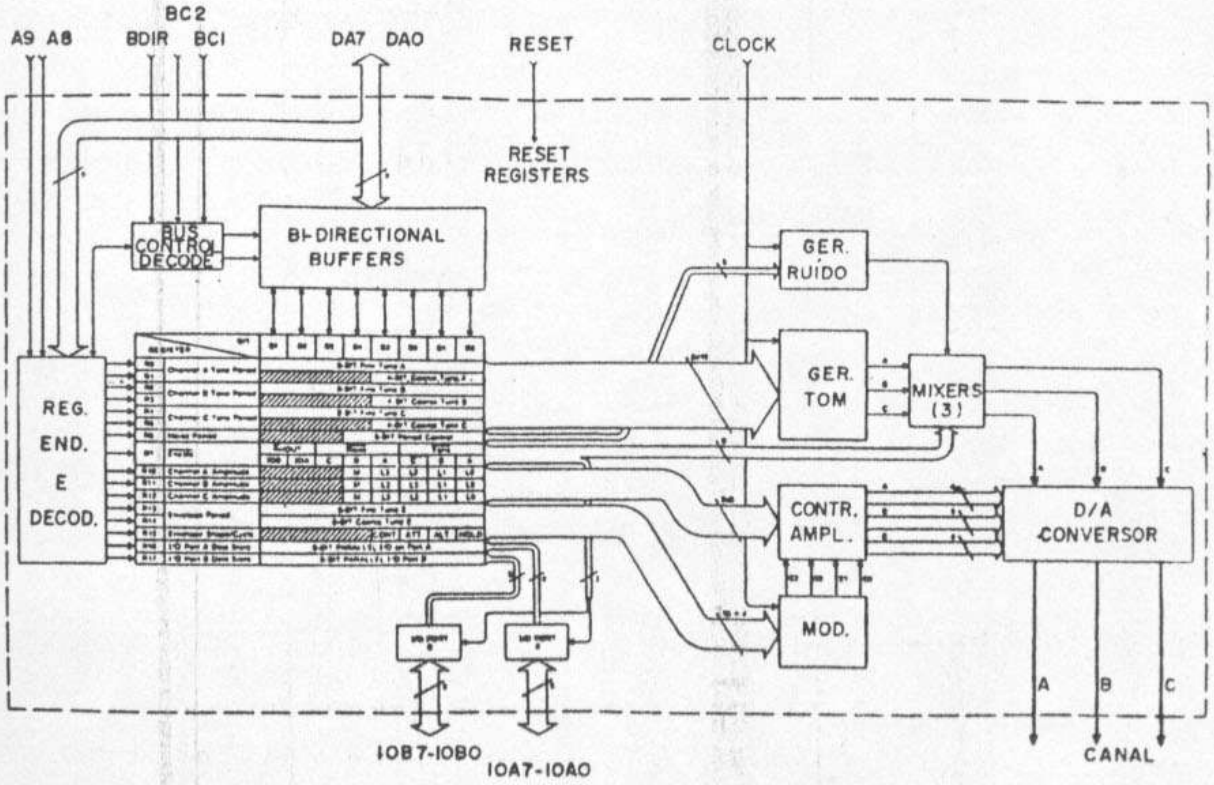
Um BUFFER na entrada de controle



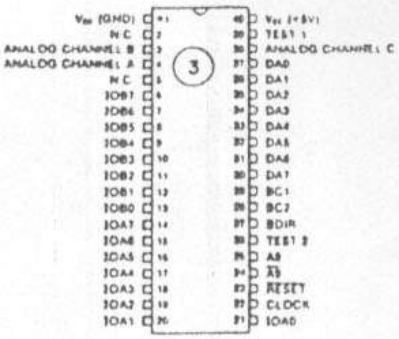
de saída, comanda as oito saídas ao mesmo tempo, e se a entrada de controle de saída estiver em " 1 ", teremos as oito saídas em alta impedância. Com isso, teremos o comando de CLOCK, para os FLIP-FLOP'S e comando de BUFFER'S (TRI-STATES) de saídas.

- Código = AY-3-8910
- Função = GERADOR DE SOM PROGRAMÁVEL

Este circuito integrado é um Gerador de Som Programável (PSG), orientado por registro.
A comunicação entre o processador e o PSG é baseado em uma concepção de mapeamento de memórias 1/0.



PINAGENS E SUAS FUNÇÕES



Pino 1 " Vss (GND) "

Pinos 2 e 5 " Não usados "

Pinos 3, 4 e 38 " ANALOG CHANNEL (A, B, C)

- São saídas do conversor D/A, sinal de 1 Vpp representando o som gerado no Gerador de Som Programado (PSG).

Pinos 6 à 13 " IOB0 à IOB7 "

Pinos 14 à 21 " IOA0 à IOA7 "

- São entradas e saídas não vinculadas diretamente com a produção de som.
  Essas portas I/O (A e B) permitem uma comunicação entre o PSG/CPU tanto para leitura como para gravação, quando tivermos periféricos ligados a elas.

Pino 22 " CLOCK "

- Recebe o pulso de Clock na frequência de 1,7897725MHz, que é aplicado no PSG, nos seguintes estágios; " GERADORES DE NOISE, TONE, ENVELOPE ".

Pino 23 " $\overline{\text{RESET}}$ "

- Ao ligar a fonte, um nível " 0 " é aplicado a esse pino; colocando internamente todos os registradores para " 0 ". O pino $\overline{\text{RESET}}$ é provido com um resistor ligado para a alimentação de Vcc.

Pinos 24 e 25 " A8 e A9 "

- Atua em conjunto com DA7 à DA0, complementando o posicionamento do PSG quanto a endereçamento e no caso de não usar, colocar " A8 " para fonte +5V e $\overline{\text{A9}}$ para massa.

Pinos 26 e 39 " TEST " " PONTO DE TESTE "

Pinos 27, 28 e 29 " BDIR, BC2 e BC1 "

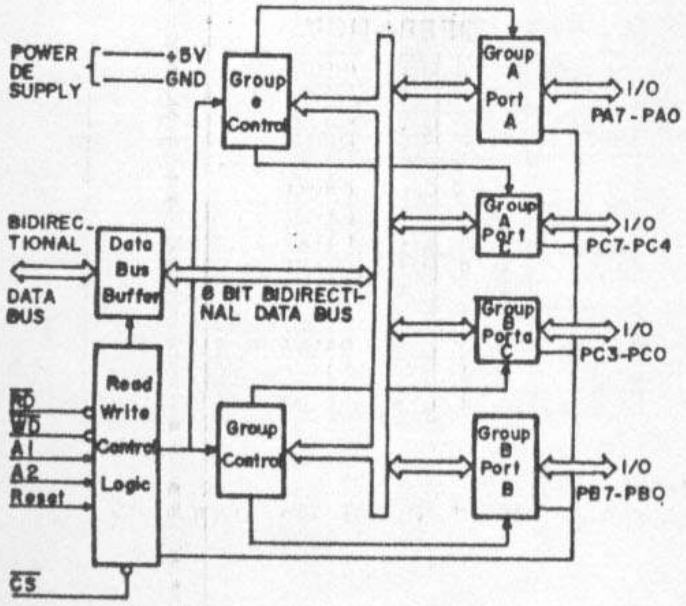
- BDIR = Bus-Direto
- BC2 = Bus-Controle 2
- BC1 = Bus-Controle 1

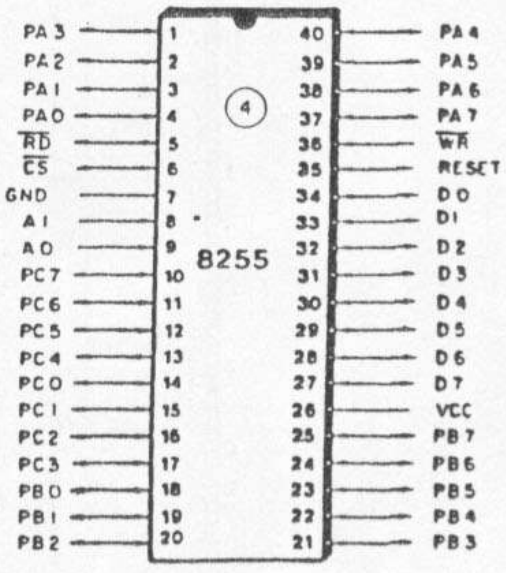
Normalmente para simplificar a programação do sinal de controle de BUS, dois sinais são utilizados como controle de sinal (BDIR e BC1). BC2 é ligado a tensão de alimentação que é nível lógico " 1 ".

BDIR	BC2	BC1	FUNÇÃO DO PSG
0	1	0	INACTIVE
0	1	1	READ FROM PSG
1	1	0	WRITE TO PSG
1	1	1	LATCH ADDRESS

Pino 40 " Vcc + 5V " (ALIMENTAÇÃO)

- Código = 8255
- Função = INTERFACE PROGRAMÁVEL PARA PERIFÉRICOS





O 8255 é designado para uso de periféricos em microcomputadores, pois ele é um dispositivo de I/O.
As portas de I/O são encarregadas de estabelecer comunicação entre o micro do qual fazem parte e um dispositivo externo .

PINAGENS E SUAS FUNÇÕES

Pinos 1 a 4 e 37 a 40 (PORTAS I/O (A))

Pinos 10 a 13 (PORTAS I/O (C))

Pinos 14 a 17 (PORTAS I/O (C))

Pinos 18 a 25 (PORTAS I/O (B))

- Estes conjuntos de portas I/O de entradas e/ou saídas, são controladas pelos estágios controladores do Grupo A e controladores do Grupo B, que por sua vez são chaveados pela' Unidade de Controle.

Pinos 27 a 34 " DØ a D7 " (BUS DE DADOS BIDIRECIONAIS)

- Consistem em 8 BITS de dados em via bidirecional com saída em alta impedância (TRI-STATE).
  Esta via de dados é usada para trocas de informações entre CPU e a interface 8255.

8255 BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

Pino 5 " $\overline{RD}$ " (READ)

- A entrada de READ é liberada em " 0 " para mandar informa-

ção de dados ou status para CPU e é permitido à CPU ler a interface 8255 .

Pino 6 " $\overline{CS}$ " (CHIP-SELECT)

- A entrada de CHIP-SELECT é liberada em " 0 " para permitir a comunicação entre a CPU e a 8255.

Pino 7 " GND " (MASSA)

Pinos 8 e 9 " A1 e AØ " (SELEÇÃO DE PORTAS Ø e 1)

- Este sinal de entrada, em conjunto com as entradas $\overline{RD}$ ou $\overline{WR}$, controla a seleção de uma das três portas 1/0.

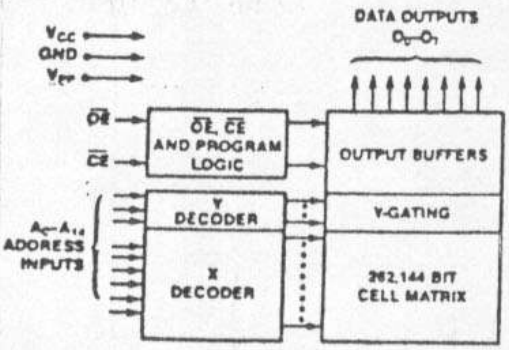
Pino 36 " $\overline{WR}$ " (WRITE)

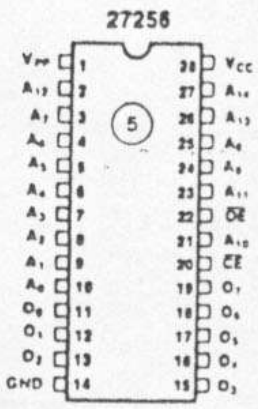
- A entrada de WRITE é liberada em " 0 " para CPU escrever dados na 8255.

Pino 35 " RESET "

- A entrada do sinal RESET é em nível lógico " 1 ", para colocar a interface 8255 em condições iniciais de operações básicas interna e externa.

- Código = 27256
- Função = MEMÓRIA " EPROM "





As EPROMS são memórias não voláteis que podem ser programadas de acordo com a necessidade do usuário, e poderão ser apagadas e programadas apenas por um processo especial.

Para se apagar uma EPROM necessita-se de luz ultravioleta , sob a qual coloca-se a memória durante um período de 20 a 40 minutos.
Para se programar é necessário um equipamento gravador de memórias não voláteis.
A " EPROM " 27256 é organizada em 32K words por 8 Bits, com' 250 mS de tempo máximo de acesso.

PINAGENS E SUAS FUNÇÕES

Pinos 2 a 10 e 21 e do 23 a 27 (A14 à AØ)

- Entrada de endereço

Pinos 11 à 13 e do 15 a 19 (O0 a O7)

- Saída de BUS de dados. Este BUS também é utilizado como entrada durante o processo de gravação.

Pino 20 ($\overline{CE}$)

- Entrada de sinal que habilita a comunicação entre a CPU e a memória propriamente dita, quando em nível lógico " 0 ".

Pino 22 ($\overline{OE}$)

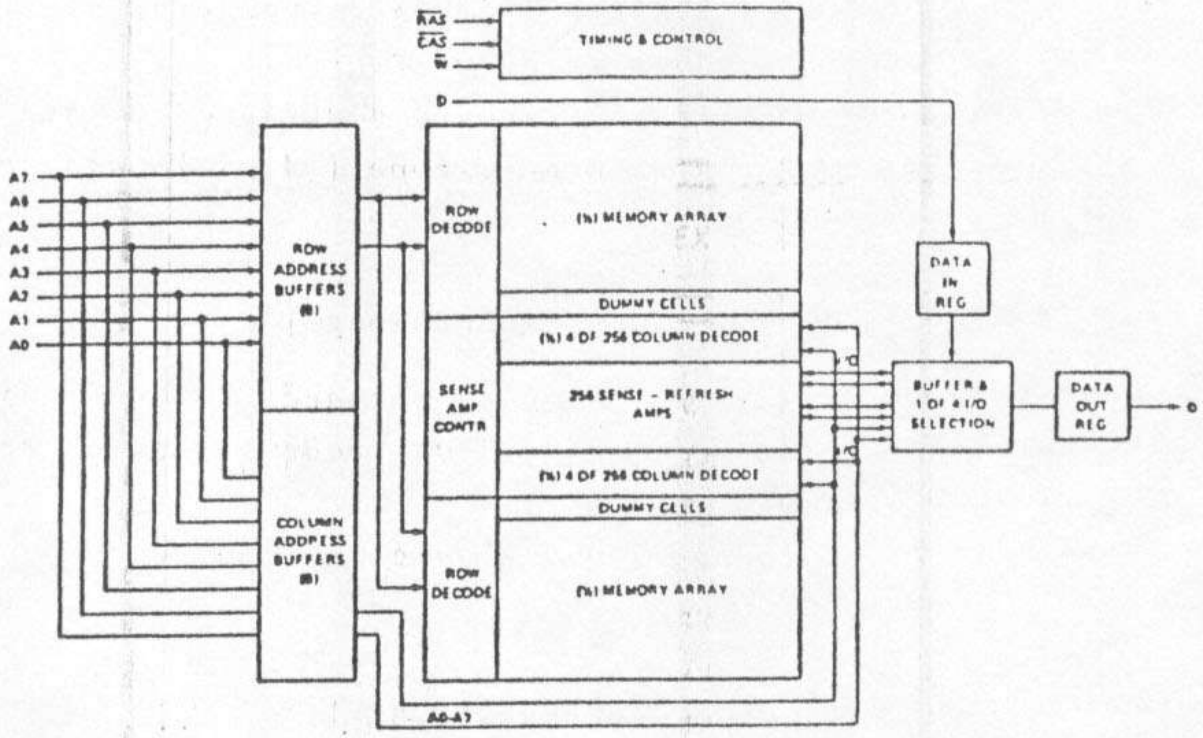
- Este sinal de entrada habilita apenas a via de dados. Se $\overline{CE}$ estiver ativado, nível lógico " 0 ", então a via de dados será habilitada como saída, isto se $\overline{OE}$ estiver em nível lógico " 0 ".

Pino 24 (Vcc) ALIMENTAÇÃO (5V)

Pino 14 (GND) MASSA (0V)

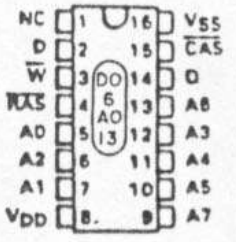
- Código = TMS 4164
- Função = MEMÓRIA " RAM "

As memórias RAM'S são memórias de acesso aleatório, onde podemos gravar ou ler dados ou instruções com 65.536 palavras por 1 bit, as quais apresentam alto desempenho e alta densidade funcional.
Estas memórias, dinâmicas, somente retêm os dados durante a operação do computador. Elas utilizam células de armazenamento dinâmico e circuito de controle dinâmico, obtendo alta velocidade e baixa dissipação.
Tendo um alto desempenho estas memórias são imunes a ruídos na entrada, minimizando o falso acionamento, que por ventura poderia fazê-la operar.



Pinos 5 a 7 e 10 a 13 " AØ a A7 "

- Esses pinos recebem os endereços em pares de informação , isto é, primeiro os 8 bit's menos significativos e depois os oito bits's mais significativos.



Pino 1 " NC " (NÃO USADO)

Pino 2 " D " (ENTRADA DE DADOS)

- Esta entrada de sinal tem por função comandar a seleção '

nos BUFFER de I/O.
Quando solicitado " $\overline{W}$ " para uma escrita, a entrada " D " grampeia o BUFFER para receber informação para gravar.

Pino 3 " $\overline{W}$ " (WRITE-ENABLE)

- Esse pino tem a finalidade de liberar a RAM, para escrever ou permitir a leitura da mesma; quando em nível lógico " 1 " a RAM permite a leitura e em " 0 " a escrita.

Pino 4 " $\overline{RAS}$ " (ROW-ADDRESS-STROBE)

- A função do pino 4 ($\overline{RAS}$) é liberar o endereçamento de A0 à A7 para o chip, no sentido de linhas.
Ao mesmo tempo também o $\overline{RAS}$ executa a operação de refresh que deve ser executado no menor tempo (4 mS) para conservar os dados da memória.

Pino 14 " Q " (ENTRADA OU SAÍDA DE DADOS)

- Esse pino pode receber dados para gravação quando $\overline{W}$ estiver em " 0 " e esse mesmo pino " Q " pode ser saída de DADO quando $\overline{W}$ estiver em " 1 ".
Esse pino " Q " também é conhecido como pino de dados " D ".

Pino 15 " $\overline{CAS}$ " (COLUMN-ADDRESS-STROBE)

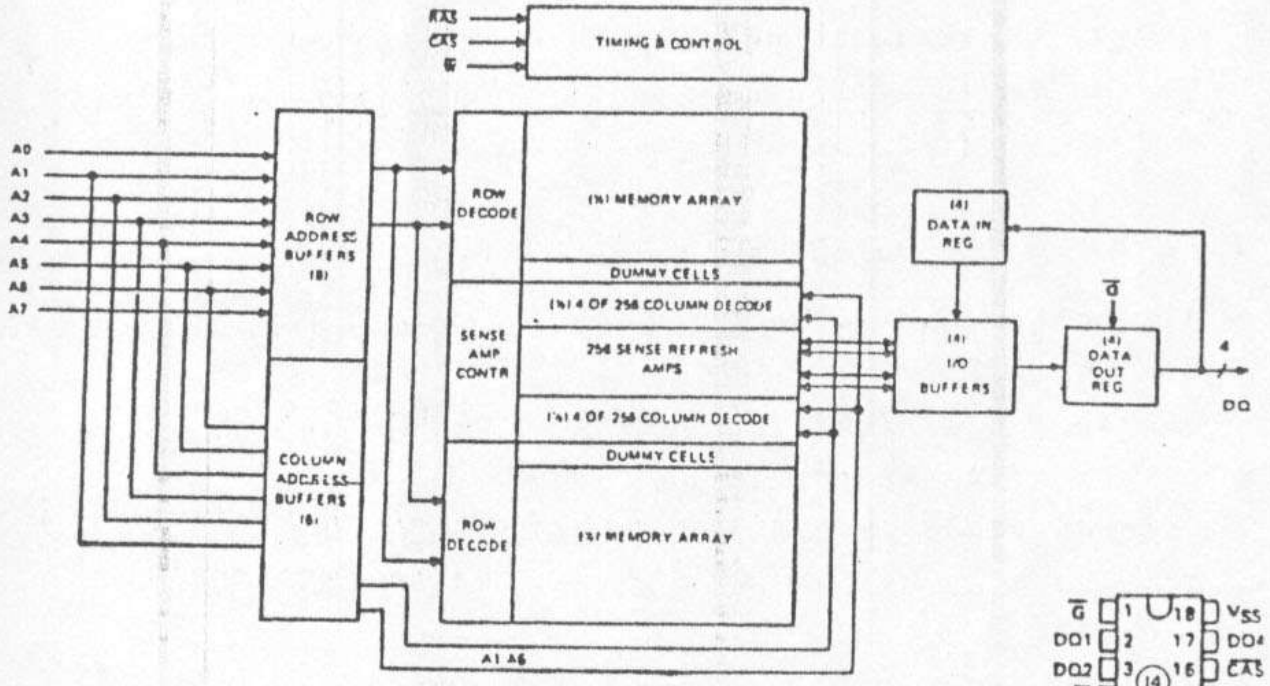
- O pino 15 ($\overline{CAS}$) libera o endereço de A0 à A7 para o chip; no sentido de colunas.

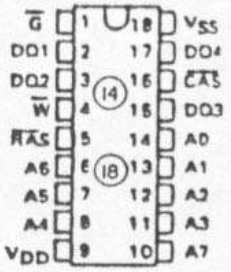
Pino 8 " GND " (MASSA)

Pino 16 " Vss " (ALIMENTAÇÃO = +5V)

- Código = TMS 4416
- Função = MEMÓRIA " RAM "

As memórias de acesso aleatório são memórias de gravação e leitura, as quais permitem que os dados no seu interior sejam gravados ou lidos.
Essas memórias podem gravar ou ler dados ou instruções com 16,384 palavras por 4 bits de organização.





PINAGENS E SUAS FUNÇÕES

Pinos 6 a 8 e 10 a 14 " AØ a A7 "

- À entrada de endereço de AØ a A7 são aplicados os BUFFERS de endereço de ROW (Linha) e de A1 a A6 para os BUFFERS de ENDEREÇO DE COLUMN (Coluna).

Pinos 2, 3, 15 e 17 " DQ1 à DQ4 "

- São quatro saídas de dados fornecidas pelo estágio " DATA OUT REG " ou quatro entradas de dados para o estágio " DATA IN REG ".

Pino 5 " $\overline{RAS}$ " (ROW-ADDRESS-STOBE)

- A função do $\overline{RAS}$ é liberar o endereçamento de AØ a A7 para o chip, no sentido de linhas.
  Ao mesmo tempo também o $\overline{RAS}$ executa a operação de refresh,

que deve ser executado no menor tempo (4 mS) para conservar os dados da memória.

Pino 4 " $\overline{W}$ " (WRITE-ENABLE)

- A finalidade desse pino é liberar a RAM, para ler um programa, informações no chip, ou permitir a gravação no chip. Quando em nível lógico " 1 " a RAM permite a leitura e em " 0 " a escrita.

Pino 1 " $\overline{G}$ " (OUTPUT-ENABLE)

- A liberação de saída "$\overline{G}$ " controla a impedância de saída dos BUFFERS.
  Quando o $\overline{G}$ é nível lógico " 1 ", os BUFFERS podem permanecer em alta impedância de saída.
  Colocando o $\overline{G}$ em " 0 " durante um ciclo normal, pode ser' ativado a saída dos BUFFERS para baixa impedância.

Pino 16 " $\overline{CAS}$ " (COLUMN-ADDRESS-STROBE)

- $\overline{CAS}$ libera o endereçamento de AØ a A7 para o chip; no sentido coluna.

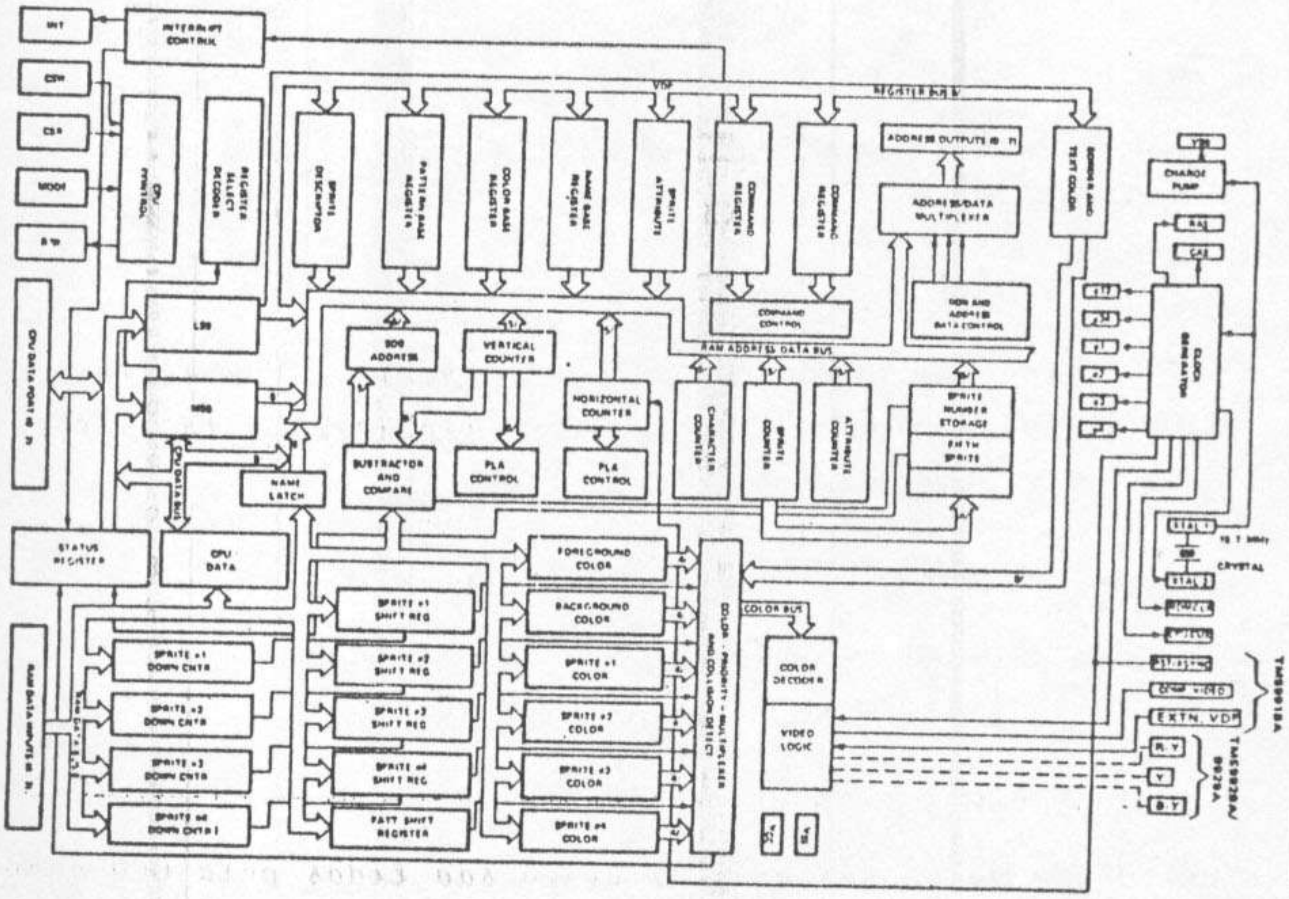
Pino 9 " Vdd " (MASSA)

Pino 18 " Vss " (ALIMENTAÇÃO +5V)

- Código = TMS 9128
- Função = " VDP " (VIDEO DISPLAY PROCESSOR)

O processador de vídeo tem quatro modos de disposição de display de vídeo, ou seja: Gráfico I, Gráfico II, Multicolor e Texto. O modo Texto do VDP tem 40 caracteres de linhas em duas cores e é intensificado para minimizar a capacidade do screen do cinescópio do monitor para display de caracteres alfanuméricos.

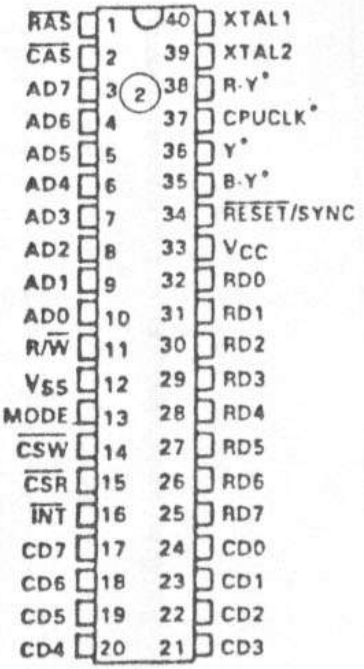
O modo Multicolor tem o display formado por 64 x 48 pontos' coloridos envolvendo 15 cores mais transparente.
O modo Gráfico I, fornece 256 x 192 pontos de imagem gerando o gráfico padrão em 15 cores mais o transparente; desse ' modo haverá unicamente duas cores para todo o padrão dos ' pontos de imagem em 8 x 8.
O modo Gráfico II é aumento do modo Gráfico I, gerando padrão de cores mais complexo e padrão de display. Esse modo permite oito vezes mais seleções do que o Gráfico I; no Gráfico II é possível ter duas cores em cada linha em uma cédula 8 x 8.



PINAGENS E SUAS FUNÇÕES

Pino 1 " $\overline{RAS}$ " (ROW-ADDRESS-STROBE)

- A função do pino 1 ($\overline{RAS}$) é acionar as duas RAM de vídeo para multiplexação de entrada de endereçamento no sentido linha, do chip da memória, em conjunto com $\overline{CAS}$.



Pino 2 " $\overline{CAS}$ " (COLUMN-ADDRESS-STROBE)

- A função do $\overline{CAS}$ é acionar as duas RAM de vídeo, multiplexando as entradas de endereços de coluna em conjunto com ' $\overline{RAS}$.

Pino 3 a 10 "AD0 a AD7" (BUS DE ENDEREÇOS)

- É responsável pela saída de uma via de' endereços, fornecendo esse endereço para as memórias, quando de uma mudança ' de dados.

Pino 11 " R/$\overline{W}$ (READ/WRITE)

- Habilita a leitura ou gravação nas memórias de vídeo.

Pino 13 " $\overline{MODE}$ " (MODO)

- Esse pino com nível lógico " 0 " permite o VDP efetuar ' transferencia de dados e em " 1 " significa a transferencia de endereço.

Pino 14 " $\overline{CSW}$ " (CHIP SELECT WRITE)

- Os dados da CPU são escritos no processador de vídeo, quando o $\overline{CSW}$ estiver em nível lógico " 0 ".

Pino 15 " $\overline{CSR}$ (CHIP SELECT READ)

- Os dados do processador de video são lidos pela CPU quando CSR estiver em nível lógico " 0 ".
  CSW e CSR não podem ser chaveados em " 0 " simultaneamente.

Pino 16 " $\overline{INT}$ " (INTERRUPÇÃO)

- O pino de saída de $\overline{INT}$ é usado para gerar uma interrupção

no fim de cada varredura ativa do display em cada 1/60 segundos.

Pinos 17 a 24 " CD0 a CD7 " (BUS DE DADOS)

- Tem a função de trocar dados entre o VDP e a CPU, dando origem ao bus de dados bidirecionais de 8 bits.

Pinos 25 a 32 " RD0 a RD7 " (BUS DE DADOS)

- Tem a função de trocar dados entre o VDP e a memória de vídeo, dando origem ao bus de dados bidirecionais de 8 Bits.

Pino 34 " $\overline{\text{RESET}}$ / SINC "

- O $\overline{\text{RESET}}$ é ativado em ".0 ", em um período de 3 uS. Sua função é sincronizar o clock, contadores horizontal e vertical para um estado programado e limpar os registros do VDP.

Pino 35 " B-Y " (SINAL DE DIFERENÇA DE COR)

- O sinal de diferença de cor B-Y, quando em conjunto com o R-Y, em uma matrizagem obtem-se o G-Y na placa analógica.

Pino 36 " Y " (LUMINÂNCIA)

- A luminância corresponde a escala de cinza em uma imagem; esse sinal é enviado a placa analógica com a finalidade de,na somatória da origem ao R-G-B, e quando em um monitor B e P, basta o sinal de Y para obtermos a imagem em um cinescópio monocromático.

Pino 37 " CPUCLK " (COLOR BURST FREQUENCY)

- Esse sinal é de 1/3 da frequência gerada pelo XTAL, sendo assim, a frequência do " CPUCLK " no valor de 3,58 MHz tem a Pulso de Clock para sincronizar as execuções em se-

quência das instruções na CPU.

Pino 38 " R-Y " (SINAL DE DIFERENÇA DE COR)

- O sinal de diferença de cor R-Y, quando em conjunto com ' B-Y, aplicado em uma matrizagem obteremos o G-Y, isso irá acontecer na placa analógica.

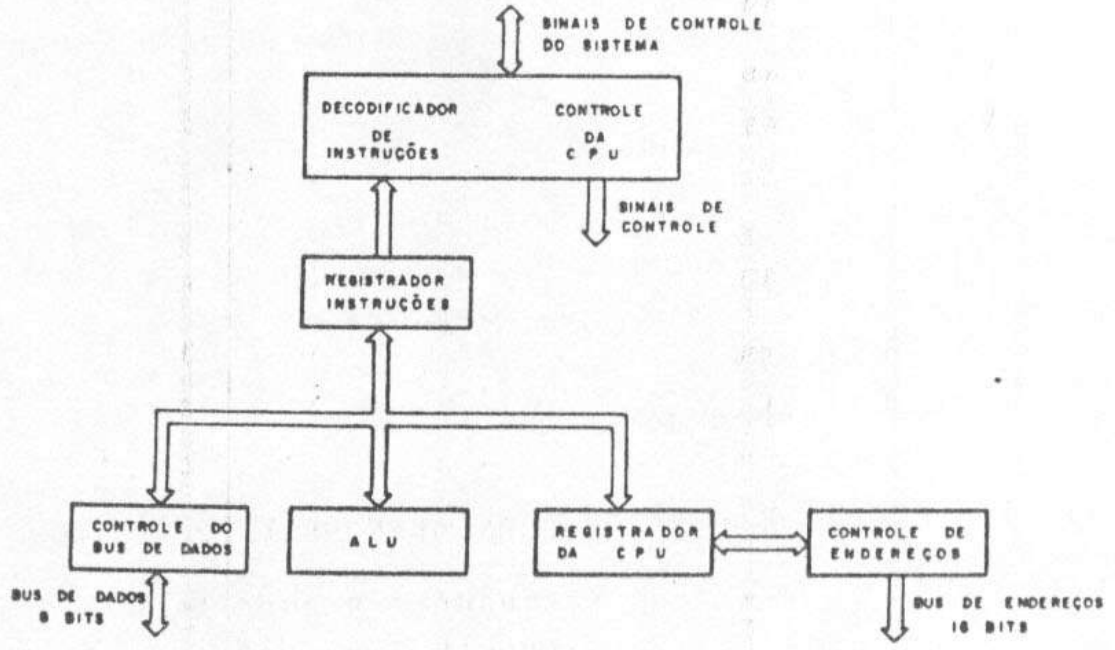
Pinos 39 e 40 " XTAL " (OSCILADOR E GERADOR DE CLOCK)

- Um cristal entre os pinos 39 e 40, em conjunto com o circuito interno no VDP gera 10.738635 (± .005) MHz, para que o processador possa funcionar.

Pino 12 " Vss " (MASSA)

Pino 33 " Vcc " (ALIMENTAÇÃO +5V)

- Código = Z80A
- Função = MICROPROCESSADOR (CPU)

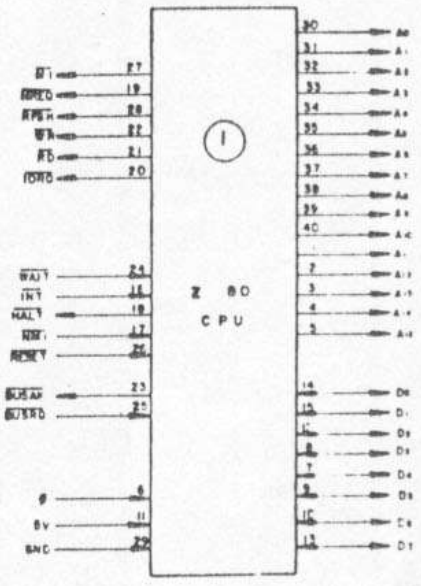


A Unidade Central de Processamento (CPU) é a parte central do sistema, tendo por função obter instruções da memória, gerar sinais de controle para realizar as operações desejadas controlando o fluxo de informações.
Contudo, uma CPU sem um conjunto de memória não executa nada.
Essas memórias são utilizadas para guardar instruções e muitas vezes, dados que serão processados. Tais instruções são as sequências básicas que o microcomputador deve seguir para executar certas funções e por sua vez, um conjunto de instruções devidamente ordenadas forma um programa.

PINAGENS E SUAS FUNÇÕES

Pinos 1 a 5 e do 30 a 40 " A0 - A15 "
(ADDRESS BUS)

- Constituem 16 bits de endereço com saída em alta impedância (TRI-STATE) Esta via de endereços fornece a locação de memória assim como dispositivos de I/O. Pode-se endereçar 256 destes dispositivos.



Pinos 7 a 10 e do 12 ao 14 " D0 - D7 "
(DATA BUS)

- Constituem 8 bits de dados em via bidirecional com saída em alta impedância (TRI-STATE). Esta via de dados é usada para trocas de informações entre CPU e dispositivos de I/O e memórias.

Pino 27 " $\overline{MT}$ " (MACHINE CYCLE ONE)

- Pino de saída, ativo em nível lógico " 0 ", indicando que a CPU está realizando um ciclo de busca. Para instruções de 2 bytes, $\overline{MT}$ é gerado para cada byte que foi buscado.

$\overline{M1}$ + $\overline{IORQ}$, também é usado para indicar o reconhecimemto' de uma interrupção.

Pino 19 " $\overline{MREQ}$ " (MEMORY REQUEST)

- Pino de saída, em estado de alta impedância (TRI-STATE) ativo em nível lógico " 0 " .
  Indica que a via de endereço possui um endereço para efetuar leitura ou gravação na memória.

Pino 28 " $\overline{REFRESH}$ " (RESTAURAR)

- Pino de saída, que é ativo em " 0 ", indica que os 7 bits menos significativos da via de endereços contêm a posição de memória a ser restaurada.
  Este sinal possibilita o uso de memória RAM dinâmica.

Pino 22 " $\overline{WR}$ " (MEMORY WRITE)

- Pino de saída em TRI-STATE, que é ativo em " 0 ", indicando que a via de dados contêm um dado para ser armazenado' em dispositivo de I/O ou em memória, dependendo do endereço contido na via de endereços.

Pino 21 " $\overline{RD}$ " (MEMORY READ)

- Pino de saída em TRI-STATE, que é ativo em " 0 ", indicando que a CPU lerá dados em memórias ou em dispositivos de I/O.

Pino 20 " $\overline{IORQ}$ " (INPUT / OUTPUT - REQUEST)

- Pino de saída em TRI-STATE, que é ativo em " 0 ", indicando que os 8 bits menos significativos da via de endereços possuem o endereço do periférico, ou seja, de um dispositivo de I/O, no qual será feita uma leitura ou escrita.

Pino 24 " $\overline{WAIT}$ " (ESPERA)

- O pino de entrada, que é ativo em " 0 ", indicando para' a CPU que a memória ou periférico endereçado não está ' pronto para transferência de dados. A CPU ficará esperando enquanto o sinal estiver ativado em " 0 ". Este sinal, possibilita o sincronismo entre CPU e memória ajustando ' suas velocidades.

Pino 16 " $\overline{INT}$ " (INTERRUPT REQUEST)

- Pino de entrada ativo em " 0 " gerado por periféricos, ou seja, dispositivos de I/O. Este sinal indica que um periférico está pedindo uma interrupção a qual será reconhecida no fim da instrução que está sendo executada, caso o $\overline{BUSRQ}$ não estiver ativo.
  Quando o pedido de interrupção é aceito pela CPU, esta envia $\overline{IORQ}$ + $\overline{MT}$ como reconhecimento.

Pino 18 " $\overline{HALT}$ " (HALT STATE)

- Pino de saída, que é ativo em " 0 ". Indica que a CPU está executando uma parada (HALT) por instrução do SOFTWARE' aguardando uma interrupção.
  Em cada estado HALT, a CPU nada realiza, mantendo o refresh de memória ativado.

Pino 17 " $\overline{NMT}$ " (NOW MASKABLE INTERRUPT)

- Pino de entrada, ativo na BORDA DE DESCIDA de 1 para 0. Este sinal em prioridade superior ao do sinal $\overline{INT}$, independendo do STATUS, faz com que o Program Couter (PC) ' vá para a posição 0066H.
  O " PC " é armazenado em uma pilha a fim de poder retornar ao programa original, no ponto onde este sinal foi gerado.

Pino 26 " RESET "

- Pino de entrada, ativo em " 0 ". Este sinal faz com que'

o Contador de Programa (PC) seja carregado com o endereço 0000H e inicia a CPU.
Durante este sinal todos os outros sinais ficam inativos' e tanto a via de dados como a de endereçamento ficam em ' alta impedância (TRI-STATE).

Pino 23 " BUSAK " (BUS ACKNOWLEDGE)

- Pino de saída, que é ativo em " 0 ". Indica que o sinal ' $\overline{\text{BUSRQ}}$ foi reconhecido e que outros dispositivos podem controlar as vias de dados, endereços e sinais de controle.

Pino 25 " $\overline{\text{BUSRQ}}$ (BUS REQUEST)

- Pino de entrada, ativo em " 0 ". Este sinal requisita à CPU as vias de endereços, dados e controle colocando-as ' em TRI-STATE. Deste modo, a CPU deixa de usá-lo permitindo que outros periféricos o façam, usando principalmente' em acesso direto à memória " DMA ".

Pino 6 " Ø " (CLOCK PHASE)

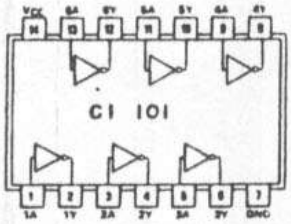
- Pino de entrada de CLOCK (CK) de 3,58 MHz vindo do Processador de Video.

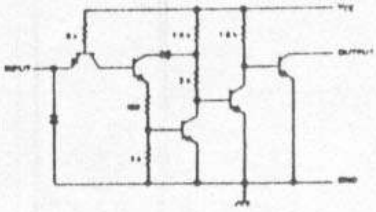
Pino 11 " Vcc " (ALIMENTAÇÃO +5V)

Pino 29 " GND " (MASSA)

MONITOR MONOCROMÁTICO (MBW-12)

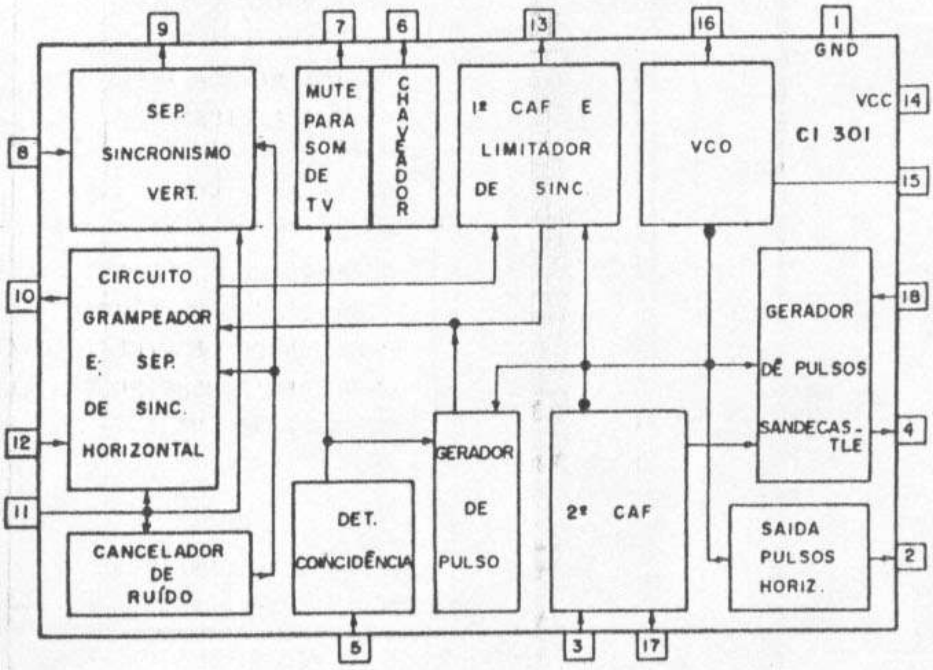
- Código = 74LS06
- Função = INVERSORES (COLETOR ABERTO)





O circuito inversor é um circuito lógico que executa a função " NÃO ", tendo apenas uma entrada e uma saída em cada porta.
A saída é colocada em coletor aberto, isto quer dizer que, quando estiver com a entrada " Y " em 1 teremos na saída ' " 0 " e que quando tivermos 0 na entrada teremos alta impedância " Z " na saída.

- Código = TDA - 1950N
- Função = DEFLEXÃO HORIZONTAL

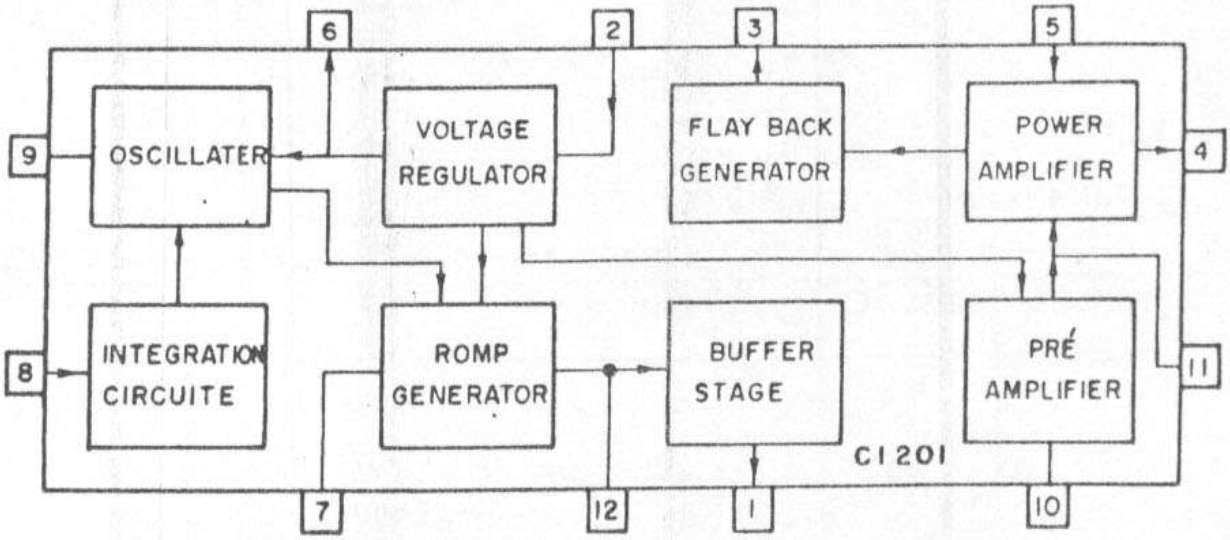


O sinal de luminância (Y) negativo é aplicado no pino 11 atingindo três estágios básicos: grampeador/separador de sincronismo, chaveador de ruído e separador de sincronismo vertical.
O pulso para comparador de CAF " Horizontal " vindo do FLY BACK é aplicado ao pino 3 deste CI, pulso este negativo.
No pino 17 temos uma saída para efetuarmos a correção de ' FASE do Sinal.
O ajuste de frequência Horizontal é feita no pino 16 por ' um trimpot interligado a linha de +12V.
Do pino 6 uma tensão de referência é enviada ao pino 16 ' com o objetivo de ajustar automaticamente o VCO do oscilador Horizontal.
A saída dos pulsos horizontais são retiradas do pino 2 deste CI, e aplicado ao estágio de amplificador de potência ' Horizontal.

TABELA AUXILIAR

PINAGEM	TENSÃO (V)	FUNÇÃO
1	0	GND
2	4,0	OUTPUT PULSE SHAPER
3	17,2	INPUT LINE FLY BACK
4	-	OUTPUT " SANDCASTLE " (NC)
5	1,9	OUTPUT COINCIDENCE
6	0V	OUTPUT OF THE TIME CONSTANT
7	-	MUTE OUTPUT (NC)
8	6,1	REFERENCE INPUT SINC
9	1,2	OUTPUT FRAME
10	4,9	REFERENCE OUTPUT SINC
11	2,4	INPUT COMPOSITE VIDEO SIGNAL
12	6,5	REFERENCE FRAME SINC SIGNAL
13	5,2	OUTPUT FIRST PHASE COMPARATOR
14	10,0	Vcc
15	5,0	Vco
16	5,0	Vcc
17	4,6	INPUT PHSE CORRETION
18	-	INPUT FRAME FLY BACK PULSES

- Código = 1170S
- Função = DEFLEXÃO VERTICAL



Os pulsos de sincronismo vertical (TREM DE PULSO) são aplicados no estágio " INTEGRATION CIRCUIT " pino 8 do CI 201, que transforma esses pulsos em um sinal para sincronismo do oscilador vertical, em fase com o emitido pela emissora. O estágio oscilador vertical gera uma frequência de 60 HZ, podendo ser ajustada entre os pinos 8 e 9 , ajuste este que está à disposição do usuário.

O sinal de 60 HZ é transferido para o estágio " SAWTOOTH GENERATOR " que transforma o sinal recebido em um " dente de serra ", onde pelo pino 7 ajustamos a altura do quadro do cinescópio.

O sinal dente de serra agora atinge o " BUFFER STAGE ", onde recebe a correção de linearidade pelos pinos 1 e 12. A saída do sinal é feita pelo pino 1, sendo acoplado ao pino 10 (pré-amplificador).

O estágio pré-amplificador da um ganho no sinal vindo do " BUFFER " e envia ao estágio " POWER AMPLIFIER " com a finalidade de dar uma amplificação suficiente no sinal para criar um campo nas bobinas de deflexão verticais (YOKE) deslocando o feixe na tela do cinescópio.

A saída do sinal do estágio POWER-AMPLIFIER é pelo pino 4

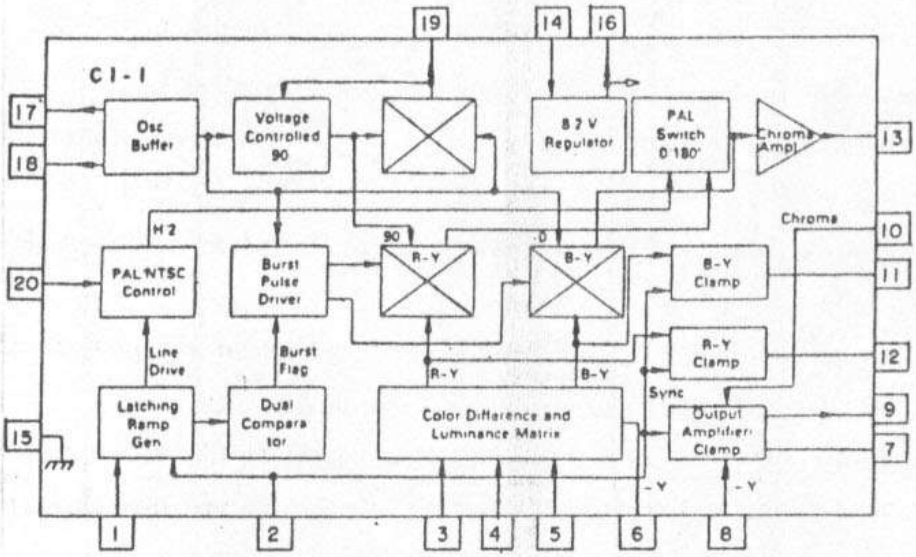
do CI 201, com realimentação pelo pino 5.
O estágio " REGULATOR VOLTAGE " existente nesse CI, alimenta todos os estágios internos com uma tensão regulada.
A entrada de tensão para esse estágio é feita através do pino 2.

TABELA AUXILIAR .

PINAGEM	TENSÃO (V)	FUNÇÃO
1	3,45	SAÍDA DE PULSO VERTICAL DO BUFFER
2	25,0	ENTRADA DE ALIMENTAÇÃO
3	1,12	FLY BACK GENERATOR
4	14,95	SAÍDA DO AMPLIFICADOR
5	6,54	ENTRADA DE REALIMENTAÇÃO (POWER)
6	2,88	SAÍDA P/ REALIMENTAÇÃO (OSCILLATER)
7	6,64	AJUSTE DE ALTURA
8	0,33	ENTRADA DO TREM DE PULSOS
9	2,88	ENTRADA P/ AJUSTE (OSCILLATER)
10	2,17	ENTRADA DE REALIMENTAÇÃO (RRÊ)
11	0,66	REALIMENTAÇÃO (POWER)
12	2,24	ENTRADA DE REALIMENTAÇÃO (BUFFER)

MODULADOR RF (TA-1/MSX)

Código = MC 1377P
Função = CODIFICADOR DO SINAL COMPOSTO DE COR



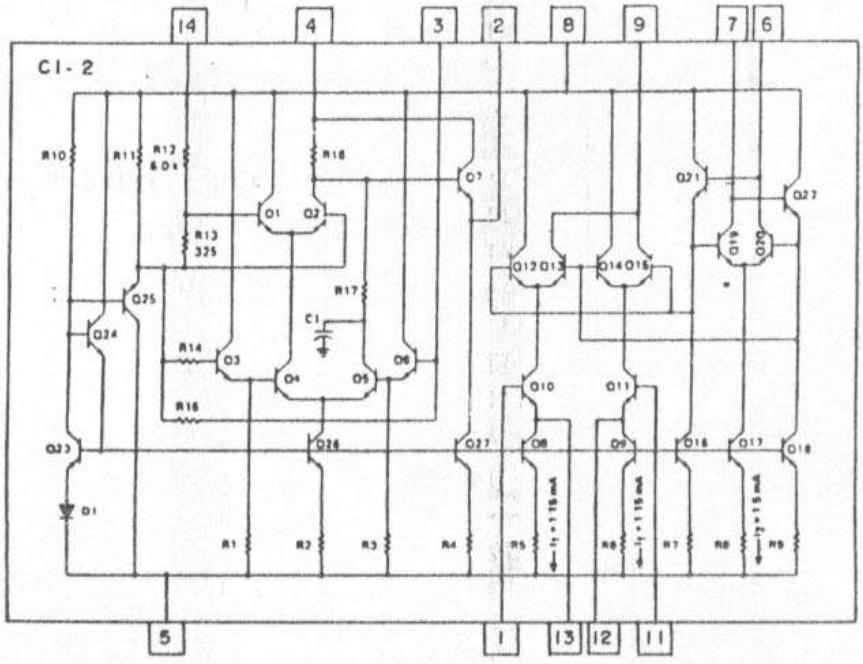
O estágio " COLOR DIFFERENCE e LUMINANCE MATRIX " recebe os sinais " R " (pino 3), " G " (pino 4) e " B " (pino 5) onde são matrizados para produzir o envelope de cro minância (R-Y), (B-Y) e Luminância (-Y).
Os sinais (B-Y) e (R-Y) são enviados para os moduladores (B-Y) e (R-Y) e também para o CLAMP's (B-Y) e (R-Y).
O sinal de luminância (-Y) tem a saída pelo pino 6 e sendo reaplicado pelo pino 8 ao estágio " OUTPUT - AMPL.CLAMP"
A entrada do sincronismo composto pelo pino 2 é distribuido para 3 estágios: " LATCHING RAMP GEN ", " OUTPUT AMPL.' CLAMP ", CLAMP (R-Y) e (B-Y).
O pulso de sincronismo aplicado no pino 2 atinge o estágio " LATCHING RAMP GEN ", que tem a função de transformar os pulsos de sincronismo horizontais em pulsos dente de serra.
Um estágio regulador de 8,2V recebe a tensão de +12V e após estabilizar em 8,2V envia pelo pino 16 (externamente) ao pino 1 para regular o angulo da"onda dente de serra" do

gerador de rampas.
A tensão desenvolvida no pino 1 (gerador de rampa) mais o sinal de sincronismo, atinge o Dual Comparador de tensão ' para regular o disparo do sinal de " BURST " (8 ciclos de 3,58 MHz a cada pulso horizontal).
O estágio " OSCILADOR " junto com o cristal de 3,575611 gera uma RF para a Composição dos sinais de " BURST " (salva) e também para modulador de B-Y, e via estágio "VOLTAGE CONTROLLED 90º ", aplica ao modulador de R-Y o sinal de 3,58' MHz defasado em 90º do sinal original aplicado no modulador de B-Y.
O estágio " BURST PULSE DRIVE " gera o Burst a partir da ' RF de 3,58 MHz recebida em conjunto com o sinal do comparador, dando origem ao pulso de sincronismo de cor " BURST ".
O estágio " CONTROL PAL/NTSC " é o responsável pelo chaveamento do sistema PAL ou NTSC.
Quando o pino 20 estiver em aberto este estágio comandará' o chaveamento da chave PAL; e o estágio " PAL SWITCH 0/180º recebe o sinal de BURST em 180º de linha a linha.
O amplificador de croma recebe o sinal crominância e eleva o nível desse sinal, com saída pelo pino 13.
O estágio " CLAMP " de (B-Y) e (R-Y) recebe os sinais' de B-Y, R-Y e sincronismo horizontal e grampeia o nível de branco.
O estágio " OUTPUT AMPLIFIER CLAMP " recebe o sinal de crominância, sincronismo e (-Y).
O sinal (-Y) é invertido e somado com o pacote de croma, formando o sinal completo de vídeo que sai pelo pino 9 do CI-1.

TABELA AUXILIAR

PINAGEM	FUNÇÃO
1	ENTRADA DE TENSÃO DC (+8,2V)
2	ENTRADA DE TENSÃO DE SYNC
3	ENTRADA DE R
4	ENTRADA DE G
5	ENTRADA DE B
6	SAÍDA DE SINAL -Y
7	SAÍDA PARA FILTRO
8	ENTRADA DE SINAL -Y
9	SAÍDA DE SINAL COMPOSTO
10	ENTRADA DE " PACOTE DE CROMA "
11	SAÍDA PARA FILTRO
12	SAÍDA PARA FILTRO
13	SAÍDA DE " PACOTE DE CROMA "
14	ENTRADA Vcc (+12V)
15	GND
16	SAÍDA DE TENSÃO DC
17	ENTRADA DOS " 3,58 MHz "
18	ENTRADA DOS " 3,58 MHz "
19	SAÍDA PARA FILTRO
20	NC

- Código = MC 1374
- Função = MODULADOR CANAL DE TV



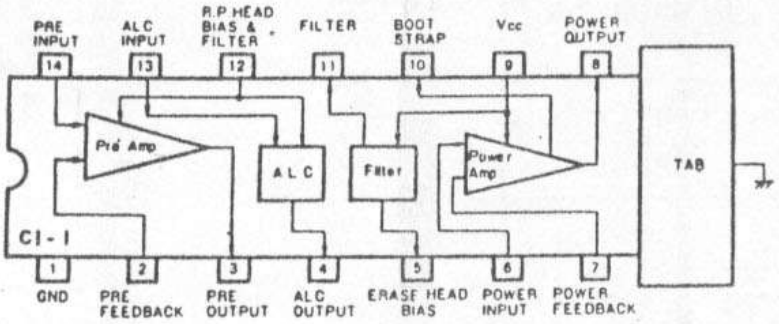
Este modulador contêm três estágios: oscilador de RF, Modulador de RF e Modulador de FM com mudança de fase.
O estágio oscilador e modulador de FM, recebem o sinal de audio pelo pino 1 e modula-o em uma portadora de 4,5 MHz.
O estágio oscilador RF gera uma frequência de 67,25 MHz para o canal 4 e 61,25 MHz para o canal 3.
O estágio modulador de RF recebe o audio modulado em 4,5MHz e o sinal de vídeo composto fornece na saída (pino 9) o sinal modulado em amplitude (RF).

TABELA AUXILIAR

PINAGEM	FUNÇÃO
1	ENTRADA DE PORTADORA DE SOM (4,5 MHz)
2	ENTRADA DO OSCILADOR (4,5 MHz)
3	ENTRADA DO OSCILADOR (4,5 MHz)
4	+B PARA OSCILADOR (4,5 MHz)
5	GND
6	OSCILADOR DA PORTADORA DE VÍDEO
7	OSCILADOR DA PORTADORA DE VÍDEO
8	ENTRADA DE Vcc (12V)
9	SAÍDA DE SINAL PARA MONITOR
10	GND
11	ENTRADA DE SINAL DE VÍDEO COMPOSTO
12	GANHO PARA ENTRADA DE VÍDEO
13	GANHO PARA ENTRADA DE SOM
14	ENTRADA DE ÁUDIO

DATA-RECORD (DR-1)

- Código = uPC 1350C
- Função = AMPLIFICADOR; PRÉ-AMPLIFICADOR, CIRCUITO ALC E FILTRO



Explicaremos o funcionamento por partes:

a) Pré-Amplificador

O estágio de pré-amplificador tem um ganho elevado e um baixo nível de distorção, tendo sua entrada de sinal pelo pino 14, saída pelo pino 3, realimentação pelo pino 2 e alimentação de Vcc através do pino 12.

b) ALC

Constitui um controle automático de nível de gravação , tendo entrada pelo pino 13 e saída pelo pino 4 para manter o controle automático de ganho do sinal de audio na gravação.

c) Filtro

Recebe Vcc (+6V) do pino 9, saída do filtro pelo pino 11 e, através do pino 5, envia tensão para polarização da cabeça apagadora.

d) Potência

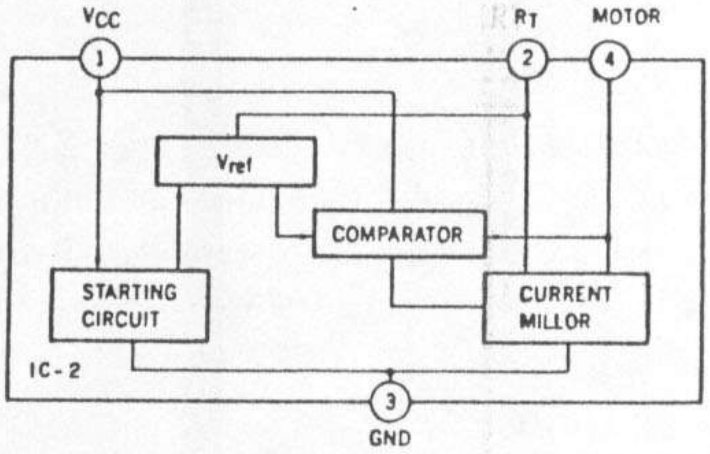
O estágio de potência tem alto ganho, baixo nível de

distorção e alta potência de saída, tendo entrada de alimentação pelo pino 9, entrada de sinal pelo pino 6, realimentação através do pino 7 e a saída de potência pelo pino 8.

OBS.: Pino 9 Vcc +6V
Pino 1 GND

- Código = uPC 1470H
- Função = REGULADOR DE ROTAÇÃO DE MOTOR

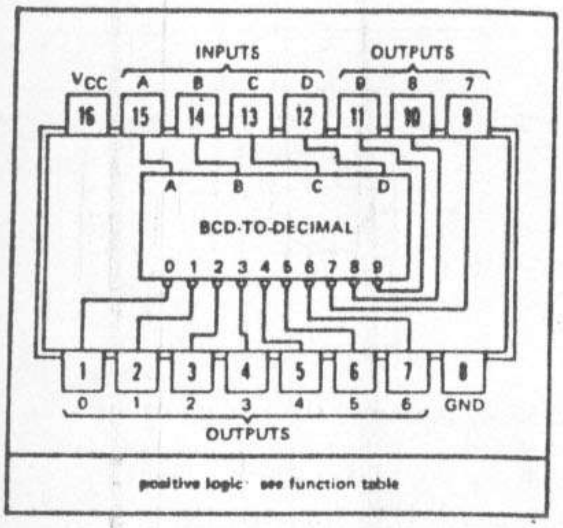
O CI uPC 1470H é um regulador de rotação usado geralmente em gravadores e tapes-decks.
Abaixo está descrito o seu diagrama em blocos.



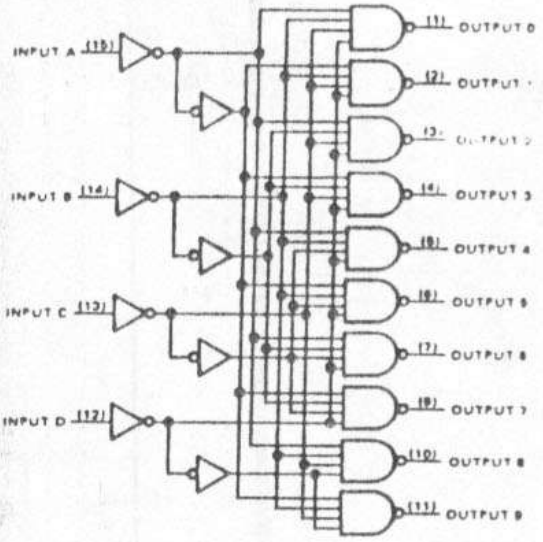
Este CI é composto por um " Starting Circuit " (circuito iniciador), pino 1, o qual envia tensão ao Vref (Reference Voltage) e este por sua vez alimenta o comparator (comparador).
O comparador recebe uma referência pino 4 e compara com o valor em Vref; após isso é acionado o circuito " Current Millor " (corrente de alimentação do motor) que irá polarizar o motor de acordo com o que foi ajustado entre os pinos 2 e 4.

TECLADO

- Código = 74LS145
- Função = DECODERS " BCD TO DECIMAL "



functional block diagram



Este decodificador consiste em oito inversores e dez portas (NAND) com quatro entradas em cada porta.
Os inversores são colocados em pares para fazer a entrada' BCD colocando os dados para a decodificação pelas portas ' NAND.
Na saída das portas NAND teremos assim os dados de entrada no sistema binário .

FUNCTION TABLE

NO.	INPUTS D	C	B	A	OUTPUTS 0	1	2	3	4	5	6	7	8	9
0	L	L	L	L	L	H	H	H	H	H	H	H	H	H
1	L	L	L	H	H	L	H	H	H	H	H	H	H	H
2	L	L	H	L	H	H	L	H	H	H	H	H	H	H
3	L	L	H	H	H	H	H	L	H	H	H	H	H	H
4	L	H	L	L	H	H	H	H	L	H	H	H	H	H
5	L	H	L	H	H	H	H	H	H	L	H	H	H	H
6	L	H	H	L	H	H	H	H	H	H	L	H	H	H
7	L	H	H	H	H	H	H	H	H	H	H	L	H	H
8	H	L	L	L	H	H	H	H	H	H	H	H	L	H
9	H	L	L	H	H	H	H	H	H	H	H	H	H	L
INVALID	H	L	H	L	H	H	H	H	H	H	H	H	H	H
	H	L	H	H	H	H	H	H	H	H	H	H	H	H
	H	H	L	L	H	H	H	H	H	H	H	H	H	H
	H	H	L	H	H	H	H	H	H	H	H	H	H	H
	H	H	H	L	H	H	H	H	H	H	H	H	H	H
	H	H	H	H	H	H	H	H	H	H	H	H	H	H

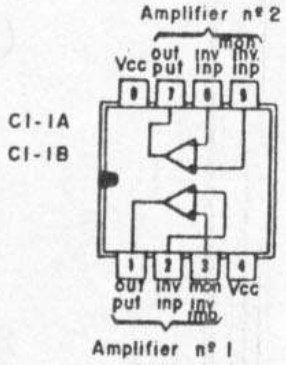
OBS.: INVALID não usado no 74LS145.

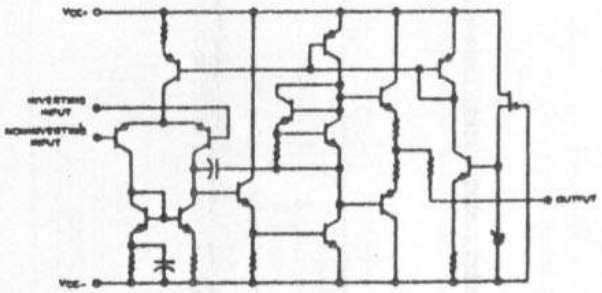
TABELA AUXILIAR

PINAGEM	FUNÇÃO
12 a 15	ENTRADA
01 a 07 } 09 a 11 }	SAÍDA

PLACA ANALÓGICA

- Código = RC 4558
- Função = Dois Amplificadores Operacionais





Este circuito integrado " Amplificador Operacional " é similar ao uA 741, porém não utiliza ajuste de OFF-SET. Contém proteção de " curto circuito " na saída quando colocado para massa.

GRADIENTE ELETRÔNICA S/A
DIVISÃO NACIONAL DE SERVIÇOS
RUA JOSÉ GUERRA, 111
04719 - SÃO PAULO - SP
FONE: 521-7122